

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: YONG-SUK CHOI
Application No.: New Application
Filed: January 22, 2004
For: NONVOLATILE MEMORY DEVICE AND METHOD OF
FORMING SAME

PRIORITY LETTER

January 13, 2004 Honorable Commissioner of Patents and Trademarks
Washington, DC 20231

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0004223	January 22, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

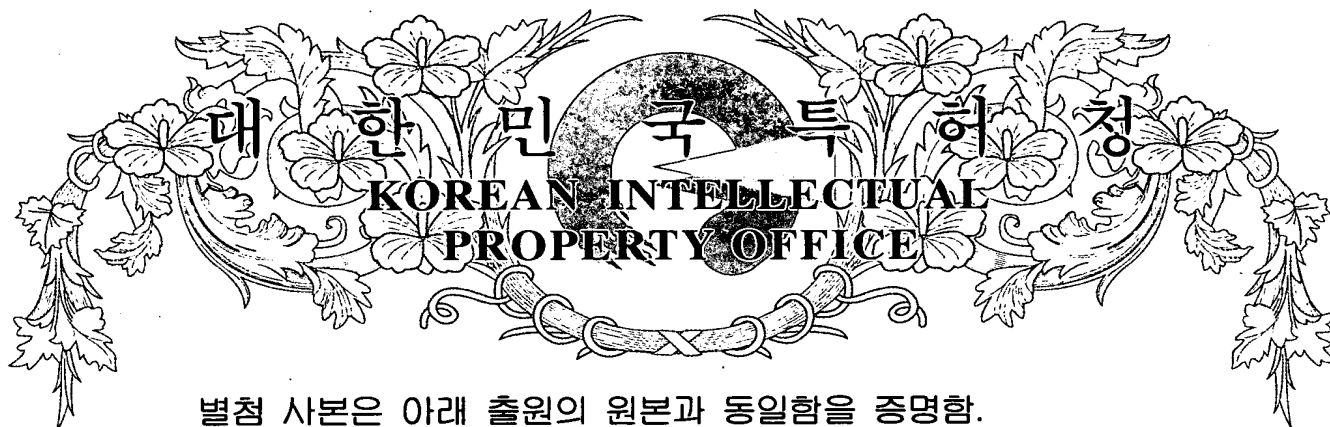
HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0004223
Application Number

출원 년 월 일 : 2003년 01월 22일
Date of Application JAN 22, 2003

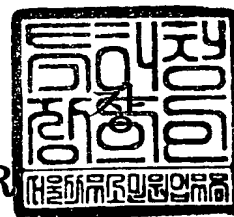
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.22
【발명의 명칭】	소노스형 비휘발성 메모리 및 그 제조 방법
【발명의 영문명칭】	Silicon-Oxide-Nitride-Oxide-Silicon (SONOS) Type Nonvolatile Memory And Method Of Fabricating The Same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	최용석
【성명의 영문표기】	CHOI, YONG SUK
【주민등록번호】	680105-1067324
【우편번호】	151-029
【주소】	서울특별시 관악구 신림본동 10-341 왕성빌라 301호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	29 면 29,000 원

1020030004223

출력 일자: 2003/10/9

【우선권 주장료】	0	건	0	원
【심사청구료】	35	항	1,229,000	원
【합계】	1,287,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

소노스형 비휘발성 메모리 및 그 제조 방법을 제공한다. 반도체기판 상에 복수개의 제 1 게이트들을 형성한 후, 제 1 게이트의 측벽에 전하저장 스페이서 및 전하저장 스페이서를 덮는 제 2 게이트를 차례로 형성한다. 전하저장 스페이서는 제 1 게이트를 포함하는 반도체기판 상에 전하저장막을 형성한 후, 제 1 게이트의 상부면보다 낮아질 때까지 전하저장막을 이방성 식각하여 형성할 수 있다. 또한, 제 2 게이트 역시 전하저장 스페이서를 포함하는 반도체기판 상에 형성된 제 2 게이트 도전막을 이방성 식각하여 형성한다. 이에 따라, 전하저장 스페이서 및 제 2 게이트는 제 1 게이트의 측면에 자기 정렬된다. 이후, 제 1 게이트 및 제 2 게이트를 연결하기 위한 연결자를 더 형성할 수도 있다.

【대표도】

도 2a

【명세서】**【발명의 명칭】**

소노스형 비휘발성 메모리 및 그 제조 방법{Silicon-Oxide-Nitride-Oxide-Silicon (SONOS) Type Nonvolatile Memory And Method Of Fabricating The Same}

【도면의 간단한 설명】

도 1a 내지 도 1h는 본 발명의 다양한 실시예들에 따른 소노스형 비휘발성 메모리를 나타내는 평면도들이다.

도 2a 내지 도 2e는 본 발명의 다양한 실시예들에 따른 소노스형 비휘발성 메모리를 나타내는 사시도들이다.

도 3 내지 도 8은 본 발명의 바람직한 실시예에 따른, 소노스형 비휘발성 메모리의 제조 방법을 설명하기 위한 공정 단면도들이다.

도 9 및 도 10은 종래 기술에 따른 소노스형 비휘발성 메모리의 제조 방법을 설명하기 위한 공정 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 소노스형 비휘발성 메모리 및 그 제조 방법에 관한 것이다.

<6> 비휘발성 메모리 장치(nonvolatile memory device)는 전원이 공급되지 않아도 저장된 정보를 유지할 수 있는 반도체 장치로서, 전자 장치의 소형화 및 휴대화에 따라 그 수요가 급증

하고 있다. 상기 비휘발성 메모리 장치의 대표적인 예는, 부유 게이트(floating gate)를 정보 저장을 위한 장소로 사용하는 플래시 메모리이다. 하지만, 최근에는 소노스(Silicon-Oxide-Nitride-Oxide-Silicon, SONOS)형 비휘발성 메모리에 대한 연구가 활발히 진행되고 있다.

<7> 상기 플래시 메모리는 프로그램 및 이레이즈 동작을 통해, 셀 트랜지스터에 저장된 정보를 변경한다. 이때, 상기 프로그램 및 이레이즈 동작은 대략 10V 이상의 큰 전위차가 필요하며, 이처럼 큰 전위차를 형성하기 위해 상기 플래시 메모리는 주변회로 영역에 배치되는 다수의 펌핑 회로를 구비한다. 상기 펌핑 회로가 많아질수록 반도체 장치의 집적도가 낮아지고, 제품의 가격은 증가한다. 또한, 상기 플래시 메모리는 상술한 큰 전위차에서도 트랜지스터 및 배선이 절연파괴(breakdown)되지 않도록 형성해야 하는 것과 같은 기술적 어려움을 갖는다. 상기 SONOS형 비휘발성 메모리 장치는 상술한 플래시 메모리의 단점들을 극복하기 위한 대안으로 제시되고 있다.

<8> 상기 소노스형 비휘발성 메모리는 일반적으로 반도체기판 상에 산화막, 질화막, 산화막 및 다결정 실리콘막이 차례로 적층된 구조를 갖는다. 상기 질화막은 상기 산화막들 사이에 샌드위치되어, 전하가 트랩핑되는 매체(electric charge trapping medium)로 사용된다. 상기 전하 트랩핑 매체는 소노스형 비휘발성 메모리의 정보 저장을 위한 장소이다. 따라서, 상기 질화막은 통상적인 플래쉬 메모리의 부유 게이트와 유사한 기능을 수행하는 구조물이다.

<9> 한편, 반도체 장치의 고집적화를 위해, 상기 소노스형 비휘발성 메모리는 두

개의 셀이 한개의 공통 소오스 라인(common source line)을 공유하는 구조로 형성될 수 있다. 이 경우, 상기 한개의 공통 소오스 라인을 공유하는 인접하는 두개의 셀(cell)은 채널 길이(channel length)가 달라질 수 있다. 엄밀히 말하면, 이러한 채널 길이의 비대칭성은 소위 스플릿 게이트형 플래쉬 메모리(split-gate type FLASH memory)에서도 나타날 수 있는 문제이다.

- <10> 도 9 및 도 10은 종래 기술에 따른 소노스형 비휘발성 메모리의 제조 방법을 설명하기 위한 공정 단면도들이다.
- <11> 도 9 및 도 10을 참조하면, 반도체기판(10) 상에 하부 산화막(20)을 형성하고, 상기 하부 산화막(20) 상에 전하 저장막 패턴(30)을 형성한다. 상기 전하 저장막 패턴(30)은 전하 트랩 사이트들이 풍부한 절연막, 예를 들면 실리콘 질화막(silicon nitride layer)으로 형성한다. 이후, 상기 전하 저장막 패턴(30)의 표면에 상부 산화막(40)을 콘포말하게 형성한다.
- <12> 상기 상부 산화막(40)을 포함하는 반도체기판의 전면에 게이트 도전막을 형성한 후, 이를 패터닝하여 상기 전하 저장막 패턴(30)의 상부를 지나는 게이트 패턴들(50)을 형성한다. 상기 게이트 패턴들(50)을 마스크로 사용하는 이온 주입 공정을 실시하여, 상기 반도체기판(10)에 불순물 영역(60)을 형성한다. 상기 불순물 영역들(60)은 메모리 셀 트랜지스터의 소오스/드레인으로 사용된다.
- <13> 한편, 상기 게이트 패턴들(50)은 통상적인 사진 공정을 사용하여 형성되므로, 상기 전하 저장막 패턴(30)에 대해 오정렬(misalign)될 수 있다. 인접하는 두 셀 트랜지스터들의 채널 길이(l_1 및 l_2)는 이러한 상기 게이트 패턴(50)과 상기 전하 저장막 패턴(30) 사이의 오정렬에 의해 달라질 수 있다(1

$1 \neq 1_2$). 이와 같은 채널 길이의 비대칭성에 의해, 한개의 비트 라인에 접속된 복수개의 셀 트랜지스터들은 동작 특성에서 주기적인 불균일성을 나타낸다. 이러한 주기적인 불균일성은 통상적으로 짝홀 불량(even-odd failure)이라고 말하여 진다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는 인접하는 두 셀들을 대칭적으로 형성할 수 있는 소노스형 비휘발성 메모리의 제조 방법을 제공하는 데 있다.

<15> 본 발명이 이루고자 하는 다른 기술적 과제는 짝홀 불량을 예방할 수 있는 소노스형 비휘발성 메모리를 제공하는 데 있다.

【발명의 구성 및 작용】

<16> 상기 기술적 과제를 달성하기 위하여, 본 발명은 전하 트랩핑 매체를 스페이서 모양으로 형성하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 복수개의 제 1 게이트들을 형성하고, 상기 제 1 게이트의 측벽에 전하저장 스페이서를 형성한 후, 상기 제 1 게이트의 측벽에 배치되어 상기 전하저장 스페이서를 덮는 제 2 게이트를 형성하는 단계를 포함한다.

<17> 상기 제 1 게이트들을 형성하기 전에, 소자분리막 및 절연막을 더 형성하는 것이 바람직하다. 상기 소자분리막은 상기 반도체기판의 소정영역에 행 방향 및 열 방향을 따라 2차원적으로 배치되어 활성영역을 한정한다. 이때, 일 방향을 따라 배열된 상기 소자분리막들의 상부에는 두개의 평행한 상기 제 1 게이트들이 형성된다. 상기 게이트 절연막은 상기 반도체기판의 표면을 열산화시키는 방법으로 상기 활성영역 상에 형성되는 실리콘 산화막인 것이 바람직하다.

- <18> 상기 전하저장 스페이서를 형성하기 전에, 상기 제 1 게이트의 측벽에 제 1 절연막을 더 형성할 수도 있다. 이때, 상기 제 1 절연막은 실리콘 산화막으로 형성하고, 상기 전하저장 스페이서는 실리콘 질화막 또는 실리콘 산화질화막으로 형성하는 것이 바람직하다.
- <19> 상기 전하저장 스페이서를 형성하는 단계는 상기 제 1 게이트를 포함하는 반도체기판 상에 전하저장막을 형성한 후, 상기 전하저장막을 이방성 식각하는 단계를 포함할 수 있다. 상기 이방성 식각은 상기 전하저장막의 상부면이 상기 제 1 게이트의 상부면보다 낮아질 때까지, 실리콘 산화막 및 실리콘막에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시하는 것이 바람직하다.
- <20> 상기 제 2 게이트를 형성하기 전에, 인접하는 두개의 제 1 게이트들 및 이들 사이의 영역을 덮는 마스크 패턴을 더 형성할 수 있다. 이후, 상기 마스크 패턴을 마스크로 사용하는 제 1 이온 주입 공정을 실시하여, 상기 마스크 패턴들 사이의 활성영역에 제 1 불순물 영역을 형성한다. 이후, 상기 마스크 패턴을 제거한다. 이때, 상기 마스크 패턴들 사이의 활성영역은 상기 소자분리막들에 의해 한정될 수 있다. 또한, 상기 마스크 패턴을 제거하기 전에, 상기 제 1 불순물 영역 상부에서 상기 전하저장 스페이서들을 제거할 수도 있다. 이 제거 단계는 실리콘 산화막 및 실리콘막에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다.
- <21> 또는, 상기 제 2 게이트를 형성하기 전에, 상기 전하저장 스페이서를 포함하는 반도체기판의 전면을 덮는 제 2 절연막을 형성할 수 있다. 이때, 상기 제 2 절연막은 실리콘 산화막으로 형성하는 것이 바람직하다.
- <22> 상기 제 2 게이트를 형성하는 단계는 상기 전하저장 스페이서를 포함하는 반도체기판 상에 제 2 게이트 도전막을 형성한 후, 이를 이방성 식각하는 단계를 포함한다. 이때, 상기 이방

성 식각 단계는 실리콘 산화막 및 실리콘막에 대해 식각 선택성을 갖는 식각 레서피를 사용하는 것이 바람직하다.

<23> 또한, 상기 제 2 게이트를 형성한 후, 상기 제 1 불순물 영역 상부의 상기 제 2 게이트들을 제거하는 단계를 더 실시할 수도 있다. 바람직하게는, 상기 제 2 게이트들을 제거하기 전에, 상기 제 1 불순물 영역을 가리는 마스크 패턴을 형성하고, 상기 마스크 패턴을 이온 주입 마스크로 사용하는 제 2 이온 주입 공정을 실시한 후, 상기 마스크 패턴을 제거하는 단계를 더 실시할 수도 있다. 상기 제 2 이온 주입 공정에 의해 상기 마스크 패턴 사이의 활성영역에는 제 2 불순물 영역이 형성된다.

<24> 또는, 상기 제 2 게이트를 형성한 후, 상기 제 2 게이트 및 상기 제 1 게이트를 마스크로 사용하는 제 2 이온 주입 공정을 실시할 수도 있다. 이 경우, 상기 제 2 이온 주입 공정은 공통 소오스로 사용되는 제 2 불순물 영역 및 드레인으로 사용되는 고농도 드레인 영역을 형성한다.

<25> 한편, 상기 제 2 게이트를 형성한 후, 상기 제 2 게이트들을 포함하는 반도체기판의 전면에 층간절연막을 형성한 후, 이를 패터닝하여 상기 제 1 게이트 및 상기 제 2 게이트의 상부면을 함께 노출시키는 개구부를 더 형성할 수도 있다. 이어서, 상기 개구부를 채우는 도전막을 형성한 후, 이를 패터닝하여 상기 제 1 게이트 및 제 2 게이트를 연결하는 연결자를 더 형성한다.

<26> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 스페이서 형태의 전하 트랩핑 매체를 구비하는 소노스형 비휘발성 메모리를 제공한다. 이 메모리는 반도체기판의 소정영역 상부에 배치된 복수개의 제 1 게이트들, 상기 제 1 게이트들의 일측벽에 배치된 전하저장 스페이

서들 및 제 2 게이트들을 포함한다. 상기 제 2 게이트는 상기 전하저장 스페이서들을 덮으면서 상기 제 1 게이트의 상기 일측벽에 배치된다.

- <27> 상기 반도체기판의 소정영역에는 활성영역을 한정하는 소자분리막을 더 배치될 수 있다. 이때, 상기 소자분리막은 행 방향 및 열 방향을 따라 2차원적으로 배열되는 것이 바람직하다.
- <28> 상기 제 1 게이트들은 상기 소자분리막의 상부를 서로 평행하게 가로지르되, 각 소자분리막의 상부에는 상기 제 1 게이트들이 두개씩 배치되는 것이 바람직하다. 이 경우, 상기 전하저장 스페이서는 서로 다른 소자분리막의 상부를 지나는 두개의 인접한 제 1 게이트들의 내측벽에 배치된다. 이에 더하여, 상기 전하 저장 스페이서들 사이의 활성영역에는 제 2 불순물 영역이 배치된다. 상기 제 2 불순물 영역은 인접하는 셀 트랜지스터의 공통 소오스 라인으로 사용된다.
- <29> 한편, 같은 소자분리막의 상부를 지나는 두개의 제 1 게이트들 사이의 활성영역에는, 상기 소자분리막에 의해 분리되는 제 1 불순물 영역이 배치된다. 이때, 상기 제 1 게이트의 다른 측벽에는 절연막 스페이서가 배치될 수도 있다. 즉, 상기 절연막 스페이서는 상기 제 1 불순물 영역에 인접하게 배치될 수 있다.
- <30> 또한, 상기 제 1 게이트의 다른 측벽에는 물질막 패턴이 더 배치될 수 있는데, 상기 물질막 패턴은 상기 제 2 게이트와 동일한 물질이면서 상기 제 1 불순물 영역에 인접하게 배치되는 것이 바람직하다.
- <31> 상기 제 1 게이트 및 제 2 게이트는 각각 다결정 실리콘막, 실리사이드막 및 금속막 중에서 선택된 적어도 한가지 물질인 것이 바람직하다. 또한, 상기 전하저장 스페이서는 실리콘 질화막 또는 실리콘 산화질화막일 수 있다.

- <32> 상기 전하저장 스페이서의 측벽은 상기 소자분리막 상부에 형성될 수 있다. 이에 따라, 인접한 셀의 전하저장 스페이서들은 서로 분리된다. 또한, 상기 제 1 게이트와 상기 전하저장 스페이서 사이에는 제 1 절연막이 배치되고, 상기 전하저장 스페이서와 상기 제 2 게이트 사이에는 제 2 절연막이 배치될 수 있다. 이에 더하여, 상기 제 1 게이트 및 제 2 게이트는 연결자에 의해 전기적으로 연결되는 것이 바람직하다.
- <33> 또한, 상기 제 1, 제 2 게이트 및 전하저장 스페이서와 상기 반도체기판 사이에는 게이트 절연막이 개재되는 것이 바람직하다. 이때, 상기 게이트 절연막은 실리콘 산화막인 것이 바람직하다.
- <34> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직가 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.
- <35> 도 1a 내지 도 1h 및 도 2a 내지 도 2e는 각각 본 발명의 바람직한 실시예들에 따른 소노스형 비휘발성 메모리를 나타내는 평면도들 및 사시도들이다. 도 2a 내지 도 2e는 차례로 도 1a, 1c, 1d, 1e 및 1f에 상응하는 사시도들이다.
- <36> 도 1a 내지 도 1h 및 도 2a 내지 도 2e를 참조하면, 반도체기판의 소정영역에 활성영역을 한정하는 복수개의 소자분리막들(105)이 배치된다. 상기 소자분리막들(105)은 행 방향(x-방

향) 및 열 방향(y-방향)을 따라 2차원적으로 배열될 수 있다. 이때, 상기 소자분리막들(105)의 각각은 가로/세로의 길이가 다른 섬 모양, 예를 들면 직사각형 또는 타원형일 수 있다.

<37> 상기 소자분리막(105)이 형성된 반도체기판의 상부에는, 복수개의 제 1 게이트들(120)이 배치된다. 상기 제 1 게이트들(120)은 행 방향 또는 열 방향을 따라 서로 평행하게 배치된다. 바람직하게는, 두개의 제 1 게이트들(120)은 일 방향을 따라 배열된 소자분리막들(105)의 상부를 지난다. 즉, 복수개의 소자분리막들(105)이 일 방향을 따라 서로 평행하게 배치되고, 이들 소자분리막들(105)의 상부에는 두개의 제 1 게이트들(120)이 배치된다.

<38> 이러한 배치(configuration)에 따르면, 한개의 제 1 게이트(120, 편의상 '기준 게이트(reference gate)'라고 부르기로 한다)의 양옆에는 서로 다른 제 1 게이트들이 각각 한개씩 배치된다. 한쪽의 제 1 게이트(120, 편의상 '좌 게이트(left gate)'라고 부르기로 한다)가 상기 기준 제 1 게이트와 같은 소자분리막의 상부를 지난다면, 다른 쪽의 제 1 게이트(120, 편의상 '우 게이트(right gate)'라고 부르기로 한다)는 상기 기준 제 1 게이트와는 다른 소자분리막들(105)의 상부를 지난다. 간략한 설명을 위해, 상기 '기준 게이트'와 상기 '우 게이트'는 앞으로 '게이트 쌍(a pair of selection gates)'이라고 부르기로 한다. 즉, 상기 '게이트 쌍'은 서로 다른 소자분리막의 상부를 지나는 두개의 인접한 제 1 게이트들을 지칭한다.

<39> 본 발명에 따르면, 상기 게이트 쌍을 이루는 제 1 게이트들(120) 사이의 활성영역은 트랜지스터의 소오스(source)로 사용되는 제 2 불순물 영역(204)이다. 상기 게이트 쌍은 서로 다른 소자분리막들(105)의 상부를 지나므로, 상기 제 2 불순물 영역(204)은 상기 소자분리막(105)에 의해 단절되지 않고 이어진다. 이에 따라, 상기 제 2 불순물 영역(204)은 복수개의 트랜지스터들의 소오스 영역들을 연결하는 공통 소오스 라인(common source line)으로 사용된다.

또한, 인접하는 두개의 '게이트 쌍'들 사이의 활성영역은 트랜지스터의 드레인(drain)으로 사용되는 제 1 불순물 영역(202)이다. 상기 제 1 불순물 영역(202)은 상기 소자분리막들(105)에 의해 단절된다. 상기 제 1 불순물 영역(202)에는 각각 한개씩의 비트라인 콘택 플러그(bit line contact plug, 220)가 배치된다. 상기 제 1 게이트들(120)에 수직한 방향을 따라 배열된 상기 비트라인 콘택 플러그들(220)은 비트 라인(bit line, 도시하지 않음)에 의해 연결될 수 있다.

<40> 상기 제 1 게이트들(120)의 측벽에는 전하저장 스페이서들(140)이 배치된다. 상기 전하저장 스페이서(140)는 상기 게이트 쌍을 이루는 제 1 게이트들(120) 사이에, 즉 상기 제 2 불순물 영역(204)에 인접하게 배치된다. 또는, 상기 전하저장 스페이서(140)는 도 1c, 1d, 1g, 1h, 2b 및 2c에 도시한 것처럼, 상기 게이트 쌍을 이루는 제 1 게이트들(120)의 외측벽에, 즉 상기 제 1 불순물 영역(202)에 인접하게 배치될 수도 있다. 하지만, 상기 제 1 불순물 영역(202)에 인접하게 배치되는 전하저장 스페이서(140)는 메모리의 정보 저장 기능과는 무관하며, 단지 이온주입 공정 등에서 마스크로 사용될 수 있다.

<41> 한편, 상기 전하저장 스페이서(140)는 상기 소자분리막(105) 상부에서 절단될 수 있으며, 이 경우 도 1b, 1d, 1h 및 2c에 도시된 것처럼, 상기 전하저장 스페이서(140)는 직사각형의 섬 모양을 형성한다. 또는 상기 전하저장 스페이서(140)는 상기 소자분리막(120) 상부에서 절단되지 않고, 도 1a, 1c, 1e, 1f, 1g, 2a, 2b, 2d 및 2e에 도시된 것처럼, 상기 제 1 게이트(120)의 측벽에 연속적으로 배치될 수도 있다.

<42> 상기 게이트 쌍을 이루는 제 1 게이트들(120) 사이에는, 상기 전하저장 스페이서(140)의 상부 및 외측벽을 덮는 두개의 제 2 게이트들(185)이 배치된다. 상기 제 2 게이트들(185)은 상기 전하저장 스페이서(140)가 배치되는 영역에 형성되며, 각 제 2 게이트(185)는 각 한개씩의

전하저장 스페이서(140)를 덮는다. 상기 제 2 게이트들(185)은 도 1e, 1g, 1h 및 2d에 도시된 것처럼, 두개의 인접하는 게이트 쌍들 사이에 배치될 수도 있다. 이 경우, 상기 제 2 게이트들(185)은 상기 제 1 게이트들(120)의 양쪽 측벽에 모두 배치된다.

<43> 상기 제 1 게이트(120) 및 제 2 게이트(185)를 포함하는 반도체기판은 층간절연막(도시하지 않음)으로 덮힌다. 상기 층간절연막 내에는 상기 제 2 게이트(185) 및 제 1 게이트(120)를 연결하는 연결자(225)가 배치될 수 있다. 상기 연결자(225)는 도 1a, 1b, 1c, 1d, 1e, 1g, 1h, 2a, 2b, 2c 및 2d에 도시된 것처럼, 상기 비트라인 콘택 플러그(220)와 유사한 막대(rod) 모양으로 형성된다. 또는 상기 연결자(225)는 도 1f 및 2e에 도시된 것처럼, 중간에 절단되지 않고 상기 제 1 게이트(120)를 따라 연속적으로 배치될 수도 있다. 도 1f 및 2e에 도시된, 중간에 절단되지 않는 연결자(225)는 다른 실시예들에서도 적용될 수 있음은 자명하다.

<44> 상기 반도체기판(100) 상에는 게이트 절연막(110)이 배치된다. 상기 제 1 게이트(120), 제 2 게이트(185) 및 전하저장 스페이서(140)는 상기 게이트 절연막(110) 상에 배치된다. 상기 전하저장 스페이서(140)와 상기 제 2 게이트(185) 사이에는 제 2 절연막(170)이 배치될 수도 있다. 상기 제 2 절연막(170)은 상기 제 1 게이트(120)와 상기 제 2 게이트(185), 상기 제 2 게이트(185)와 상기 게이트 절연막(110) 사이에도 배치될 수 있다. 상기 제 1 게이트(120)와 상기 제 2 절연막(170) 사이에는 실리콘 산화막으로 형성되는 제 1 절연막(130)이 배치될 수도 있다.

<45> 한편, 본 발명에 따른 비휘발성 메모리는 핫캐리어 인젝션(hot carrier injection), 파울러-노른하임 터널링(Fowler-Nordheim tunneling) 등과 같은 비휘

발성 메모리의 동작을 위해 사용되는 통상적인 방법이 사용될 수 있다. 본 발명의 일 실시예에 따른 동작 조건은 아래 표 1과 같다. 하지만, 본 발명에 따른 비휘발성 메모리는 다른 동작 조건 또는 아래 표1에 개시된 조건으로부터 변형된 조건에서도 동작될 수 있다.

<46> 【표 1】

셀 트랜지스터의 동작 조건

	게이트	소오스	드레인	기판
프로그램	Vcc	H/V	GND	GND
이레이즈	H/V	0	0	0
읽기(read)	Vcc	0	Vcc/2	GND

<47> 표 1에서 보는 것처럼, 본 발명의 일 실시예에 따른 비휘발성 메모리는 프로그램 동작 동안 Vcc 전압이 게이트에 인가된다. 이에 따라, 게이트에 고전압(H/V)가 인가될 경우, 소모 전류가 과도하게 흐르는 현상을 방지할 수 있다.

<48> 도 3 내지 도 8은 본 발명의 바람직한 실시예에 따른, 소노스형 비휘발성 메모리의 제조 방법을 설명하기 위한 공정 단면도들이다. 각 도면들은 도 1a에 도시된 점선 I-I'에서의 단면을, 공정 순서에 따라 보여준다.

<49> 도 1a 및 도 3를 참조하면, 반도체기판(100)의 소정영역에 활성영역을 한정하는 복수개의 소자분리막들(105)을 형성한 후, 상기 활성영역 상에 게이트 절연막(110)을 형성한다. 이후, 상기 게이트 절연막(110)을 포함하는 반도체기판의 전면에 제 1 게이트 도전막을 형성한다.

<50> 본 발명의 바람직한 실시예에 따르면, 상기 소자분리막들(105)은 행 방향(x-방향) 및 열 방향(y-방향)을 따라 2차원적으로 배열된다. 이때, 상기 소자분리막들(105)의 각각은 가로/세로의 길이가 다른 섬 모양, 예를 들면 직사각형 또는 타원형일 수 있다. 상기 소자분리막(105)을 형성하는 방법은 통상적인 로코스 기술 또는 트렌치 기술이 사용될 수 있다. 또한, 상기 게

이트 절연막(110)은 상기 반도체기판(100)의 활성영역을 열산화시키는 방법으로 형성된 실리콘 산화막인 것이 바람직하다. 상기 제 1 게이트 도전막은 다결정 실리콘 또는 차례로 적층된 다결정 실리콘 및 실리사이드로 형성하는 것이 바람직하다. 상기 제 1 게이트 도전막 상에는 반사방지막 또는 하드마스크막 등의 기능으로 사용되는 절연막이 더 배치될 수도 있다.

<51> 이후, 상기 제 1 게이트 도전막을 패터닝하여, 상기 활성영역 및 상기 소자분리막(105)을 가로지르는 복수개의 제 1 게이트들(120)을 형성한다. 상기 제 1 게이트들(120)은 행 방향 또는 열 방향을 따라 서로 평행하게 배치된다. 바람직하게는, 복수개의 소자분리막들(105)이 일 방향을 따라 서로 평행하게 배치되고, 상기 제 1 게이트들(120) 중 두개는 이들 소자분리막들(105)의 상부를 지나도록 형성된다. 이때, 간략한 설명을 위해, 인접하는 두개의 제 1 게이트들(120)이 도 1에서 설명된 '게이트 쌍'을 구성하도록 선택할 수 있다. 상기 '게이트 쌍'은 서로 다른 소자분리막들(105)의 상부를 지나는 두개의 인접한 제 1 게이트들(120)을 지칭한다.

<52> 상기 제 1 게이트들(120)을 포함하는 반도체기판의 전면에 제 1 절연막(130)을 형성할 수 있다. 상기 제 1 절연막(130)은 실리콘 산화막으로 형성하며, 상기 제 1 게이트들(120)의 표면을 열산화시키는 방법 또는 화학 기상 증착의 방법으로 형성할 수 있다.

<53> 이어서, 상기 제 1 절연막(130)을 포함하는 반도체기판의 전면에, 소노스형 비휘발성 메모리에서 정보 저장을 위한 물질로 사용될, 전하저장막(도시하지 않음)을 콘포말하게 형성한다. 정보 저장을 위해, 상기 전하저장막은 트랩 사이트들이 풍부한 실리콘 질화막 또는 실리콘 산화질화막으로 형성하는 것이 바람직하다. 이후, 상기 전하 저장막을 이방성 식각하여, 상기 제 1 게이트들(120)의 측벽에 배치되는 전하저장 스페이서(140)를 형성한다. 상기 전하 저장 스페이서들(140)은 상기 제 1 게이트들(120)보다 낮은 상부면을 갖도록 형성한다. 이를

위해, 상기 이방성 식각 공정은 상기 제 1 게이트(120)의 상부에서 상기 제 1 절연막(130)을 노출시키고, 상기 제 1 게이트들(120) 사이의 활성영역 상부에서 상기 게이트 절연막(110)을 노출시키도록 실시한다. 이를 위해, 상기 식각 공정은 실리콘 산화막에 대해 식각 선택성을 갖는 식각 레서피를 사용한다. 이에 더하여, 상기 식각 공정은 실리콘막에 대해서도 식각 선택성을 갖는 식각 레서피를 사용하는 것이 바람직하다.

<54> 도 1a 및 도 4를 참조하면, 상기 전하저장 스페이서(140)를 포함하는 반도체기판의 소정 영역에, 마스크 패턴(150)을 형성한다. 상기 마스크 패턴(150)은 통상적인 사진 공정을 사용하여 형성된 포토레지스트인 것이 바람직하다. 상기 마스크 패턴(150)은 상기 게이트 쌍을 이루는 제 1 게이트들(120) 사이의 상기 전하저장 스페이서들(140) 및 이들 사이의 활성영역을 덮도록 형성한다. 이를 위해, 상기 마스크 패턴(150)의 양쪽 측벽은 대략 상기 제 1 게이트들(120) 상부 중앙에 형성된다. 이에 따라, 상기 게이트 쌍의 외부 측벽에 형성된 상기 전하저장 스페이서들(140)은 노출된다.

<55> 이후, 상기 마스크 패턴(150)을 식각 마스크로 사용하여, 상기 노출된 전하저장 스페이서들(140)을 제거한다. 이때, 상기 마스크 패턴(150)에 의해 덮힌, 게이트 쌍 내부의 전하저장 스페이서들(140)은 식각되지 않는다. 상기 식각 공정은 상기 게이트 절연막(110), 제 1 절연막(130) 및 마스크 패턴(150)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 또한, 상기 식각 공정은 등방성 식각, 바람직하게는 습식 식각의 방법으로 실시한다. 이를 위해, 상기 식각 공정은 인산을 포함하는 식각액을 사용하여, 습식 식각의 방법으로 실시하는 것이 바람직하다.

<56> 이어서, 상기 마스크 패턴(150) 및 상기 제 1 게이트들(120)을 이온 주입을 위한 마스크로 사용하여, 제 1 이온 주입 공정(155)을 실시한다. 이에 따라, 상기 게이트 쌍들 사이의 활

성영역에는 트랜지스터의 드레인으로 사용되는 제 1 불순물 영역(160)이 형성된다. 도 1a 내지 도 1h에서 보는 것처럼, 상기 제 1 불순물 영역(160)은 상기 소자분리막들(105)에 의해 분리된다.

<57> 한편, 상기 게이트 쌍들 사이의 전하저장 스페이서들(140)은 제거되지 않고 잔존할 수도 있다.(도 1c, 1d, 1g 및 1h를 참조) 이 경우, 상기 제 1 불순물 영역(160)은 상기 전하저장 스페이서(140)에 의해 상기 제 1 게이트들(120)로부터 이격되지만, 후속 공정들에 의해 열적으로 확산(thermal diffusion)되어 상기 전하 저장 스페이서들(140) 아래로 확장(expand)된다.

<58> 도 1a 및 도 5를 참조하면, 상기 마스크 패턴(150)을 제거하여, 상기 전하저장 스페이서들(140)을 노출시킨다. 상기 마스크 패턴(150)이 제거된 반도체기판의 전면에, 제 2 절연막(170) 및 제 2 게이트 도전막(180)을 차례로 형성한다.

<59> 상기 제 2 절연막(170)은 우수한 층덮힘성(step coverage)을 갖도록 화학 기상 증착 공정(chemical vapor deposition)을 사용하여 형성하며, 바람직하게는 실리콘 산화막으로 형성한다. 상기 제 2 절연막(170)의 두께는 본 발명에 따른 비휘발성 메모리의 동작 특성에 큰 영향을 미친다. 따라서, 상기 제 2 절연막(170)은 미세하게 증착 두께를 조절하는 것이 가능한, 원자층 증착(atomic layer deposition)의 방법으로 형성할 수도 있다.

<60> 상기 제 2 게이트 도전막(180)은 다결정 실리콘막으로 형성하는 것이 바람직하다. 또한, 상기 제 2 게이트 도전막(180) 역시 우수한 층덮힘성을 갖도록 형성하는 것이 필요하다. 따라서, 상기 제 2 게이트 도전막(180)은 사일렌 가스(silane gas, SiH_4) 또는 디사일렌 가스(disilane gas, Si_2H_6)를 사용하여 열분해하는 단계를 포함하는 화학 기상 증착의 방법으로 형성하는 것이 바람직하다. 이에 더하여, 도전성을 가질 수 있도록, 상기 제 2 게이트 도전막

(180)을 형성하는 단계는 불순물을 주입하는 단계를 더 포함하는 것이 바람직하다. 상기 불순물은 이온 주입 또는 인시튜(in-situ)로 도핑될 수 있다.

<61> 도 1a 및 도 6을 참조하면, 상기 제 2 절연막(170)이 노출될 때까지, 상기 제 2 게이트 도전막(180)을 이방성 식각한다. 이에 따라, 상기 제 1 게이트들(120)의 양쪽 측벽에는 제 2 게이트들(185)이 배치된다.

<62> 상기 게이트 쌍의 내측벽에 배치되는 상기 제 2 게이트들(185)은 본 발명에 따른 소노스형 비휘발성 메모리의 또다른 게이트로서의 역할을 한다. 즉, 아래 도 8에서 설명할 것처럼, 상기 제 2 게이트(185)는 인접하는 상기 제 1 게이트(120)와 연결될 수도 있다. 반면, 상기 게이트 쌍의 외측벽에 배치되는 상기 제 2 게이트 패턴들(185)은 게이트로서의 역할을 하지는 않고, 후속 공정에서 이온 주입 마스크로 사용될 수 있다.

<63> 상기 제 2 게이트(185) 및 상기 제 1 게이트(120)을 마스크로 사용하는 제 2 이온 주입 공정(190)을 실시한다. 이에 따라, 상기 게이트 쌍을 구성하는 제 1 게이트들(120) 사이의 활성영역에는 셀 트랜지스터의 소오스로 사용되는 제 2 불순물 영역(204)이 형성된다. 이때, 상기 게이트 쌍들 사이의 활성영역, 즉 상기 제 1 불순물 영역(160)에는 트랜지스터의 드레인으로 사용되는 고농도 드레인 영역(202)이 동시에 형성될 수도 있다.

<64> 한편, 프로그램 동작의 효율을 높이기 위해서는, 상기 고농도 드레인 영역(202)보다 상기 제 2 불순물 영역(204)의 불순물 농도를 높이는 것이 바람직하다. 이를 위해, 상기 제 1 불순물 영역(160)을 가리는 또다른 마스크 패턴을 형성한 후, 상기 제 2 불순물 영역(204)에 불순물을 주입하는 추가적인 이온 주입 공정을 더 실시할 수도 있다.

- <65> 도 4에서 설명한 것처럼, 상기 전하저장 스페이서(140)를 제거하지 않는 실시예에 따른 경우, 상기 제 1 이온 주입 공정(155)과 제 2 이온 주입 공정(190)의 불순물 농도를 서로 다르게 진행할 수 있다. 이 경우, 상술한 상기 고농도 드레인 영역(202)과 상기 제 2 불순물 영역(204) 사이의 불순물 농도는 쉽게 달리 형성할 수 있다.
- <66> 도 1a 및 도 7을 참조하면, 상기 제 2 불순물 영역(204)이 형성된 반도체기판의 전면, 증간절연막(210)을 형성한다. 이후, 상기 증간절연막(210)을 패터닝하여, 상기 고농도 드레인 영역(202)을 노출시키는 콘택홀(215)을 형성한다. 상기 콘택홀(215)은 도시하지 않았지만, 소정의 영역에서 상기 제 2 불순물 영역(204)을 노출시킬 수도 있다.
- <67> 상기 증간절연막(210)은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 또한, 상기 증간절연막(210)은 화학 기상 증착, 스퍼 코팅 및 물리 기상 증착 중의 한가지 방법으로 형성할 수 있다.
- <68> 한편, 상기 증간절연막(210)을 형성하기 전에, 도 7에 도시한 것처럼, 상기 게이트 쌍들의 사이에 배치된 상기 제 2 게이트들(185)을 선택적으로 제거할 수 있다. 이러한 선택적 제거를 위해서는 상기 제 1 불순물 영역(160) 상에 배치된 상기 제 2 게이트들(185)을 노출시키는 식각 마스크를 사용하는 것이 필요하다. 이를 위해, 상기 제 1 불순물 영역(160)을 형성하기 위해 사용된 마스크 패턴(150)을 다시 형성한 후, 이를 상기 선택적 제거를 위한 식각 마스크로 사용할 수도 있다. 상기 선택적 제거 공정은 실리콘 산화막에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 또한, 상기 선택적 제거 공정은 등방성 식각, 예를 들면 습식 식각의 방법으로 실시하는 것이 바람직하다. 이처럼 상기 제 2 게이트들(185)을 선택적으로 제거하는 방법에 따른 경우, 후속 공정들에 따른 결과물은 도 1a, 1b, 1c, 1d 및 1f에 도시된

평면적 구조를 갖는다. 또는, 도 1e, 1g 및 1h에 도시된 것처럼, 상기 제 2 게이트들(185)을 제거하지 않고 상기 충전절연막(210)을 형성할 수도 있다.

<69> 또한, 상기 콘택홀(215)을 형성하는 동안, 상기 제 1 게이트(120) 및 이에 인접한 제 2 게이트(185)를 함께 노출시키는 연결 개구부(217)를 형성하는 것이 바람직하다. 상기 연결 개구부(217)는 도 1a, 1b, 1c, 1d, 1e, 1g 및 1h에 도시한 것처럼 상기 콘택홀(215)과 같은 홀(hole) 형태이거나, 도 1f에 도시한 것처럼 중간에 절단되지 않는 홈(groove) 형태일 수 있다.

<70> 도 1a 및 도 8을 참조하면, 상기 콘택홀(215) 및 상기 연결 개구부(217)를 채우는 플러그 도전막을, 반도체기판의 전면에 형성한다. 상기 충전절연막(210)의 상부면이 노출되도록 상기 플러그 도전막을 식각함으로써, 상기 콘택홀(215) 및 상기 연결 개구부(217)를 각각 채우는 콘택 플러그(contact plug, 220) 및 연결자(connector, 225)를 형성한다.

<71> 상기 플러그 도전막은 다결정 실리콘, 알루미늄, 텅스텐, 티타늄, 티타늄 질화막, 탄탈륨 및 탄탈륨 질화막 중에서 선택된 적어도 한가지 물질일 수 있다. 상기 연결자(225)는 상기 제 1 게이트(120)와 이에 인접한 상기 제 2 게이트(185)를 전기적으로 연결한다. 한편, 상기 플러그 도전막을 식각하는 단계는 화학-기계적 연마(chemical-mechanical polishing) 기술을 사용하는 단계를 더 포함할 수 있다. 이에 더하여, 상기 플러그 도전막은 상기 충전절연막(210)의 상부면보다 낮아지도록 과도 식각(over-etching)될 수도 있다. 이 실시예에 따르면, 상기 콘택 플러그(220) 및 상기 연결자(225)는 상기 충전절연막(210)의 상부면보다 낮아진다. 이후, 상기 결과물들의 전면을 덮는 또다른 충전절연막을 형성한 후, 상기 콘택 플러그(220)들을 연결하는 비트 라인을 더 형성할 수 있다.

【발명의 효과】

- <72> 본 발명에 따르면, 스페이서 형성 공정을 사용하여 셀 트랜지스터의 게이트 전극을 형성한다. 이에 따르면, 전하저장 스페이서에 게이트 전극이 자기 정렬되기 때문에, 짝홀 불량(even-odd failure)을 예방할 수 있다. 또한, 게이트 전극을 사진 공정을 사용하여 형성하지 않기 때문에, 제조 비용을 절감할 수 있다. 그 결과, 보다 안정적인 특성을 갖는 소노스형 비휘발성 메모리를 저렴하게 제조할 수 있다.
- <73> 또한, 본 발명에 따르면, 프로그램 동작에서 게이트에 V_{cc} 를 인가하기 때문에 과도하게 전류가 흐르는 것을 예방할 수 있다. 이에 따라, 낮은 소모 전력을 갖는 소노스형 비휘발성 메모리를 제조할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 복수개의 제 1 게이트들을 형성하는 단계;

상기 제 1 게이트의 측벽에 전하저장 스페이서를 형성하는 단계; 및

상기 제 1 게이트의 측벽에 배치되어, 상기 전하저장 스페이서를 덮는 제 2 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 게이트들을 형성하기 전에,

상기 반도체기판의 소정영역에 활성영역을 한정하는 소자분리막을 형성하는 단계; 및

상기 활성영역 상에 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 소자분리막은 행 방향 및 열 방향을 따라 2차원적으로 형성하되, 일 방향을 따라 배열된 상기 소자분리막들 상부에는 두개의 평행한 상기 제 1 게이트들이 형성되는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 4】

제 2 항에 있어서,

상기 게이트 절연막은 열산화 공정으로 형성한 실리콘 산화막인 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 전하저장 스페이서를 형성하기 전에, 상기 제 1 게이트의 측벽에 제 1 절연막을 형성하는 단계를 더 포함하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 6】

제 5 항에 있어서,

상기 제 1 절연막은 실리콘 산화막으로 형성하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 전하저장 스페이서는 실리콘 질화막 또는 실리콘 산화질화막으로 형성하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 전하저장 스페이서를 형성하는 단계는

상기 제 1 게이트를 포함하는 반도체기판 상에, 전하저장막을 형성하는 단계; 및

상기 제 1 게이트의 상부면보다 낮아지도록, 상기 전하저장막을 이방성 식각하는 단계를 포함하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 전하저장막을 이방성 식각하는 단계는 실리콘 산화막 및 실리콘막에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 10】

제 2 항에 있어서,

상기 제 2 게이트를 형성하기 전에,

인접하는 두개의 제 1 게이트들 및 이들 사이의 영역을 덮는 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 마스크로 사용하는 제 1 이온 주입 공정을 실시하여, 상기 마스크 패턴들 사이의 활성영역에 제 1 불순물 영역을 형성하는 단계; 및

상기 마스크 패턴을 제거하는 단계를 더 포함하되, 상기 마스크 패턴들 사이의 활성영역은 상기 소자분리막들에 의해 한정되는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 11】

제 10 항에 있어서,

상기 마스크 패턴을 제거하기 전에, 상기 제 1 불순물 영역 상부에서 상기 전하저장 스페이서들을 제거하는 단계를 더 포함하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 12】

제 11 항에 있어서,

상기 전하저장 스페이서를 제거하는 단계는 실리콘 산화막 및 실리콘막에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 13】

제 1 항에 있어서,

상기 제 2 게이트를 형성하기 전에, 상기 전하저장 스페이서를 포함하는 반도체기판의 전면을 덮는 제 2 절연막을 형성하는 단계를 더 포함하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 14】

제 13 항에 있어서,

상기 제 2 절연막은 실리콘 산화막으로 형성하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 15】

제 1 항에 있어서,

상기 제 2 게이트를 형성하는 단계는

상기 전하저장 스페이서를 포함하는 반도체기판 상에, 제 2 게이트 도전막을 형성하는 단계; 및

상기 제 2 게이트 도전막을 이방성 식각하는 단계를 포함하되, 상기 제 2 게이트 도전막을 이방성 식각하는 단계는 실리콘 산화막 및 실리콘막에 대해 식각 선택성을 갖는 식각 레서피를 사용하는 것을 특징으로 하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 16】

제 10 항에 있어서,

상기 제 2 게이트를 형성한 후, 상기 제 1 불순물 영역 상부의 상기 제 2 게이트들을 제거하는 단계를 더 실시하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 17】

제 16 항에 있어서,

상기 제 1 불순물 영역 상부의 상기 제 2 게이트들을 제거하는 단계를 실시하기 전에,

상기 제 1 불순물 영역을 가리는 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 이온 주입 마스크로 사용하는 제 2 이온 주입 공정을 실시하여, 상기 마스크 패턴 사이의 활성영역에 제 2 불순물 영역을 형성하는 단계; 및

상기 마스크 패턴을 제거하는 단계를 더 실시하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 18】

제 1 항에 있어서,

상기 제 2 게이트를 형성한 후, 상기 제 2 게이트 및 상기 제 1 게이트를 마스크로 사용하는 제 2 이온 주입 공정을 실시하는 단계를 더 포함하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 19】

제 1 항에 있어서,

상기 제 2 게이트를 형성한 후,

상기 제 2 게이트들을 포함하는 반도체기판의 전면에 층간절연막을 형성하는 단계;

상기 층간절연막을 패터닝하여, 상기 제 1 게이트 및 상기 제 2 게이트의 상부면을 함께 노출시키는 개구부를 형성하는 단계;

상기 개구부를 채우는 도전막을 형성하는 단계; 및

상기 도전막을 패터닝하는 단계를 더 포함하는 소노스형 비휘발성 메모리의 제조 방법.

【청구항 20】

반도체기판의 소정영역 상부에 배치된 복수개의 제 1 게이트들;

상기 제 1 게이트들의 일측벽에 배치된 전하저장 스페이서들; 및

상기 전하저장 스페이서들을 덮으면서, 상기 제 1 게이트의 상기 일측벽에 배치되는 제 2 게이트들을 포함하는 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 21】

제 20 항에 있어서,

상기 반도체기판의 소정영역에 배치되어 활성영역을 한정하는 소자분리막을 더 포함하되, 상기 소자분리막은 행 방향 및 열 방향을 따라 2차원적으로 배열되는 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 22】

제 21 항에 있어서,

상기 제 1 게이트들은 상기 소자분리막의 상부를 서로 평행하게 가로지르되, 각 소자분리막의 상부에는 상기 제 1 게이트들이 두개씩 배치되는 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 23】

제 22 항에 있어서,

상기 전하 저장 스페이서는 서로 다른 소자분리막의 상부를 지나는 두개의 인접한 제 1 게이트들의 내측벽에 배치되는 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 24】

제 23 항에 있어서,

상기 전하 저장 스페이서들 사이의 활성영역에 배치되는 제 2 불순물 영역을 포함하되, 상기 제 2 불순물 영역은 인접하는 셀 트랜지스터의 공통 소오스 라인인 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 25】

제 22 항에 있어서,

같은 소자분리막의 상부를 지나는 두개의 제 1 게이트들 사이의 활성영역에 배치되는 제 1 불순물 영역을 포함하되, 상기 제 1 불순물 영역은 상기 소자분리막에 의해 분리되는 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 26】

제 25 항에 있어서,

상기 제 1 게이트의 다른 측벽에 배치되는 절연막 스페이서를 더 포함하되, 상기 절연막 스페이서는 상기 제 1 불순물 영역에 인접하게 배치되는 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 27】

제 25 항에 있어서,

상기 제 1 게이트의 다른 측벽에 배치되는 물질막 패턴을 더 포함하되, 상기 물질막 패턴은 상기 제 2 게이트와 동일한 물질이면서 상기 제 1 불순물 영역에 인접하게 배치되는 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 28】

제 20 항에 있어서,

상기 제 1 게이트 및 제 2 게이트는 각각 다결정 실리콘막, 실리콘사이드막 및 금속막 중에서 선택된 적어도 한가지 물질인 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 29】

제 20 항에 있어서,

상기 전하저장 스페이서는 실리콘 질화막 또는 실리콘 산화질화막인 것을 특징으로 하는 소노스형 비휘발성 메모리.

【청구항 30】

제 21 항에 있어서,

상기 전하저장 스페이서는 상기 소자분리막 상부에 그 측벽이 형성됨으로써, 인접한 셀의 전하저장 스페이서들과 분리되는 것을 특징으로 소노스형 비휘발성 메모리.

【청구항 31】

제 20 항에 있어서,

상기 제 1 게이트와 상기 전하저장 스페이서 사이에 개재되는 제 1 절연막을 더 포함하는 소노스형 비휘발성 메모리.

【청구항 32】

제 20 항에 있어서,

상기 전하저장 스페이서와 상기 제 2 게이트 사이에 개재되는 제 2 절연막을 더 포함하는 소노스형 비휘발성 메모리.

【청구항 33】

제 20 항에 있어서,

상기 제 1 게이트 및 제 2 게이트를 연결하는 연결자를 더 포함하는 소노스형 비휘발성 메모리.

【청구항 34】

제 20 항에 있어서,

상기 제 1, 제 2 게이트 및 전하저장 스페이서와 상기 반도체기판 사이에 개재되는 게이트 절연막을 더 포함하는 소노스형 비휘발성 메모리.

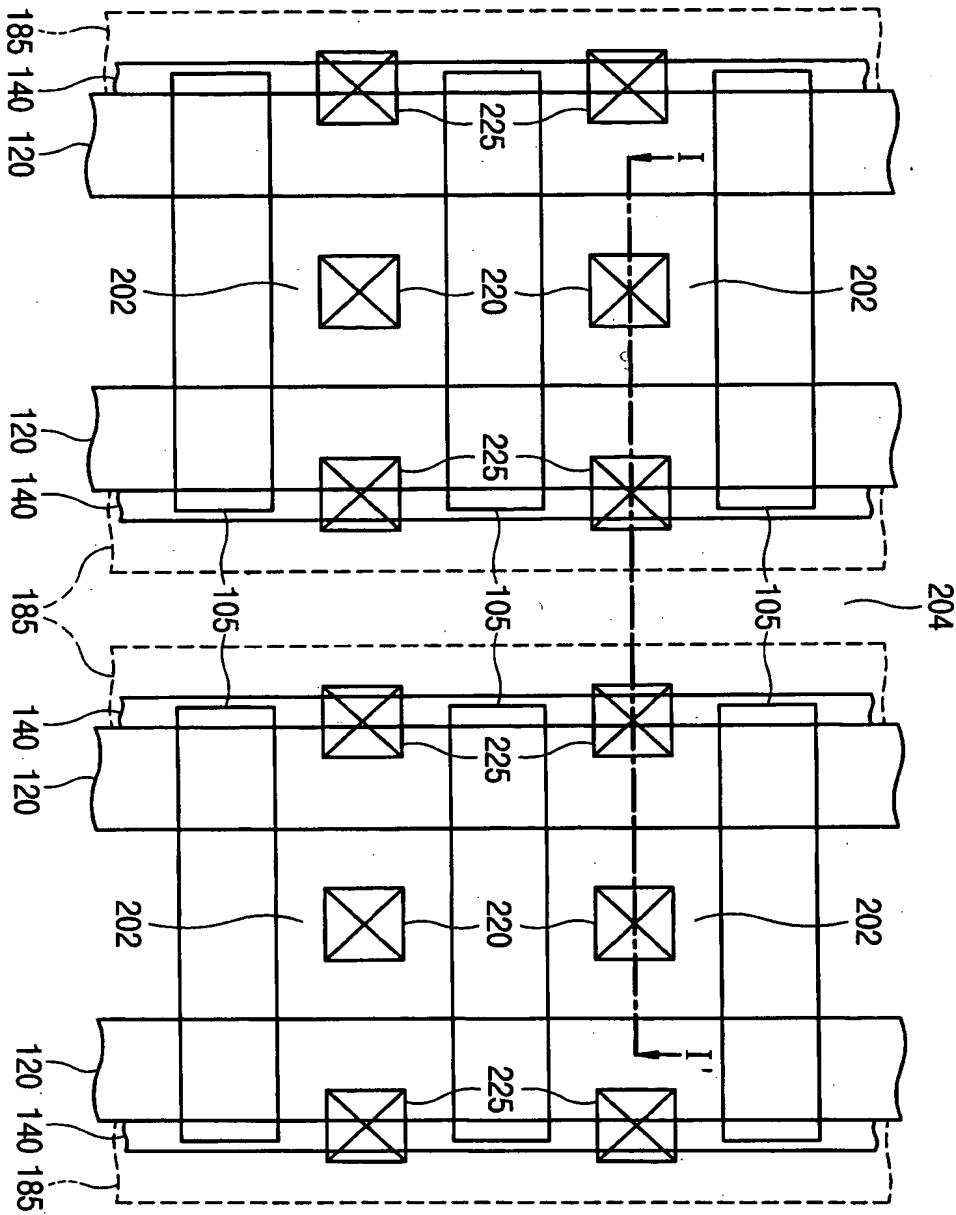
【청구항 35】

제 34 항에 있어서,

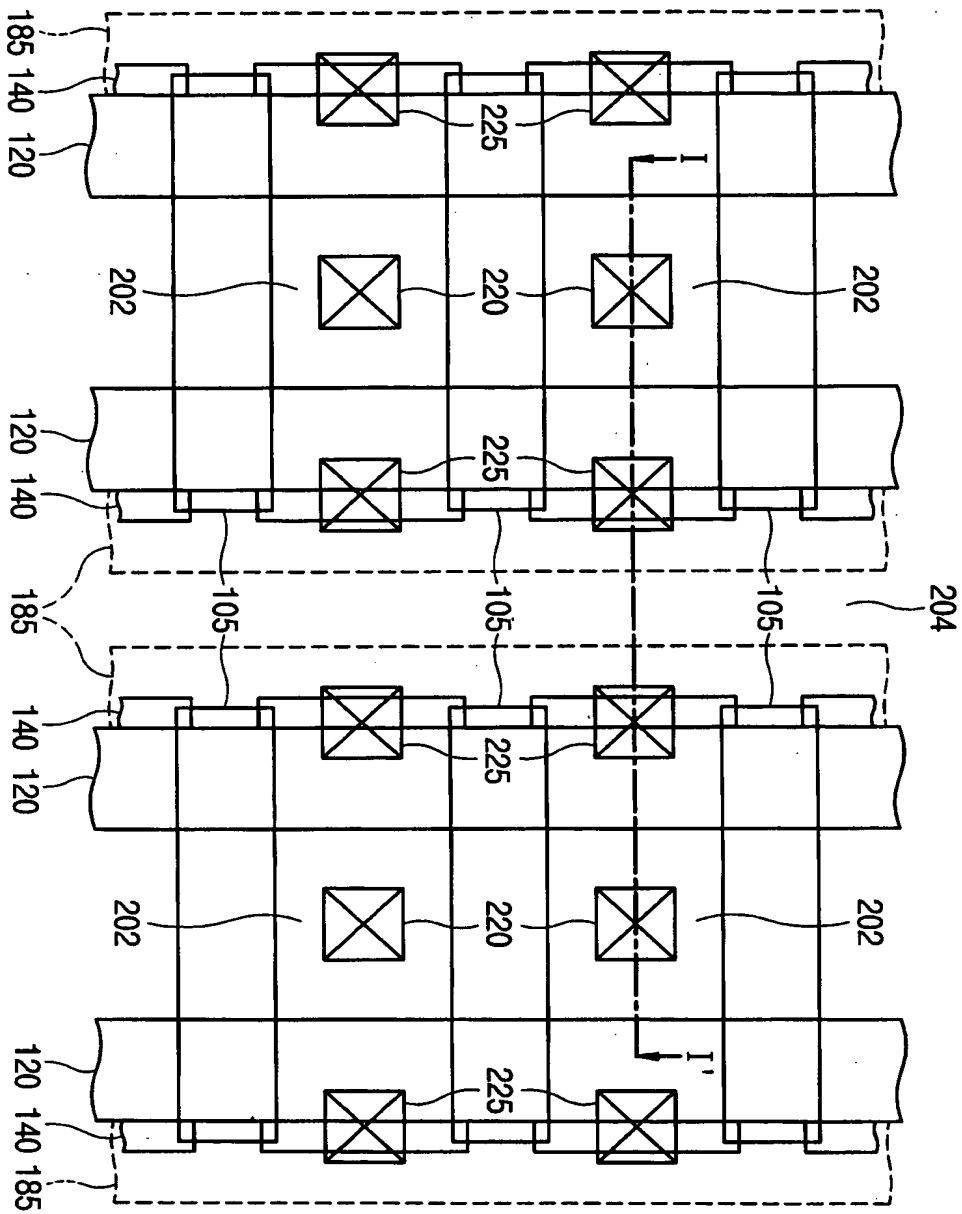
상기 게이트 절연막은 실리콘 산화막인 것을 특징으로 하는 소노스형 비휘발성 메모리.

【도면】

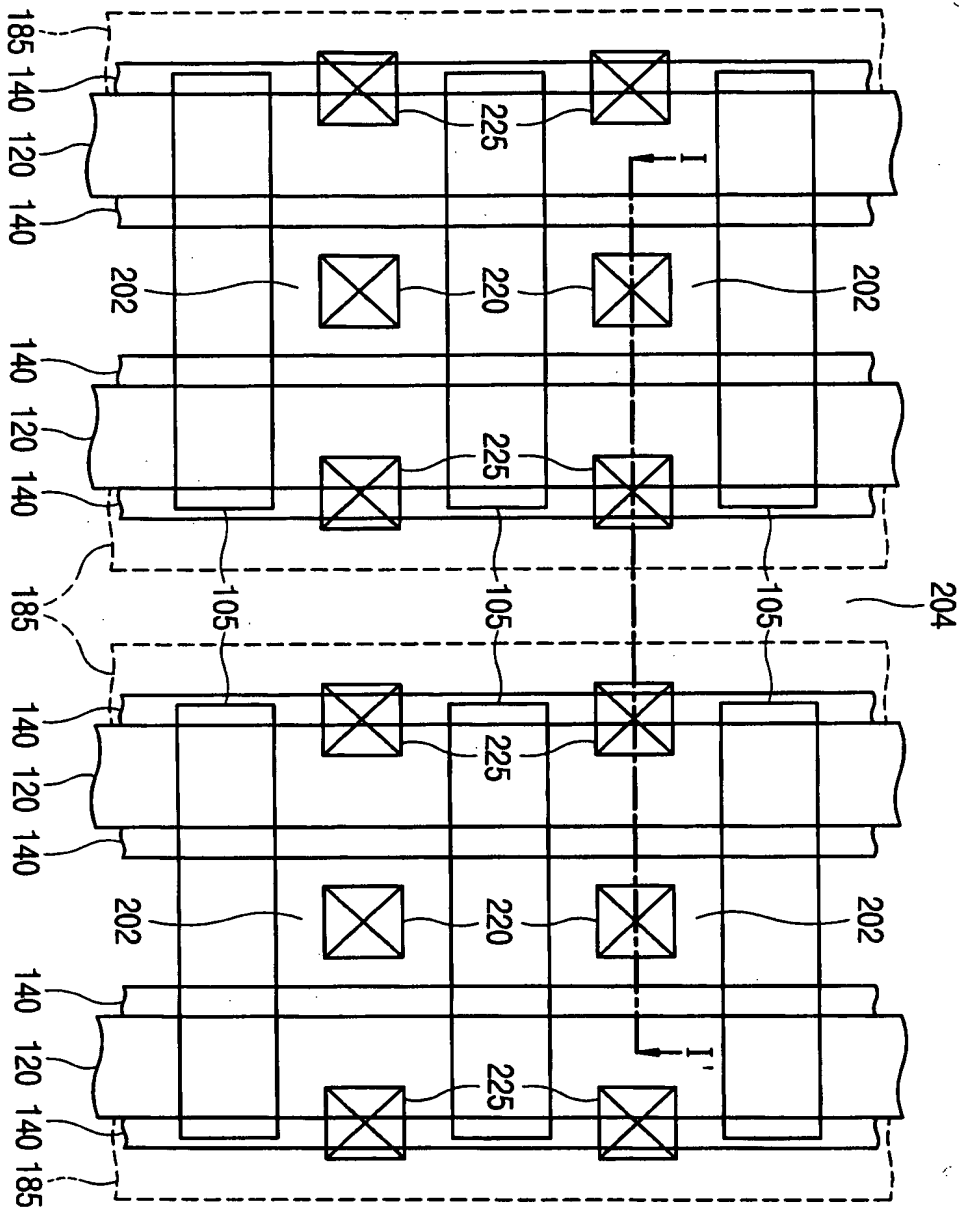
【도 1a】



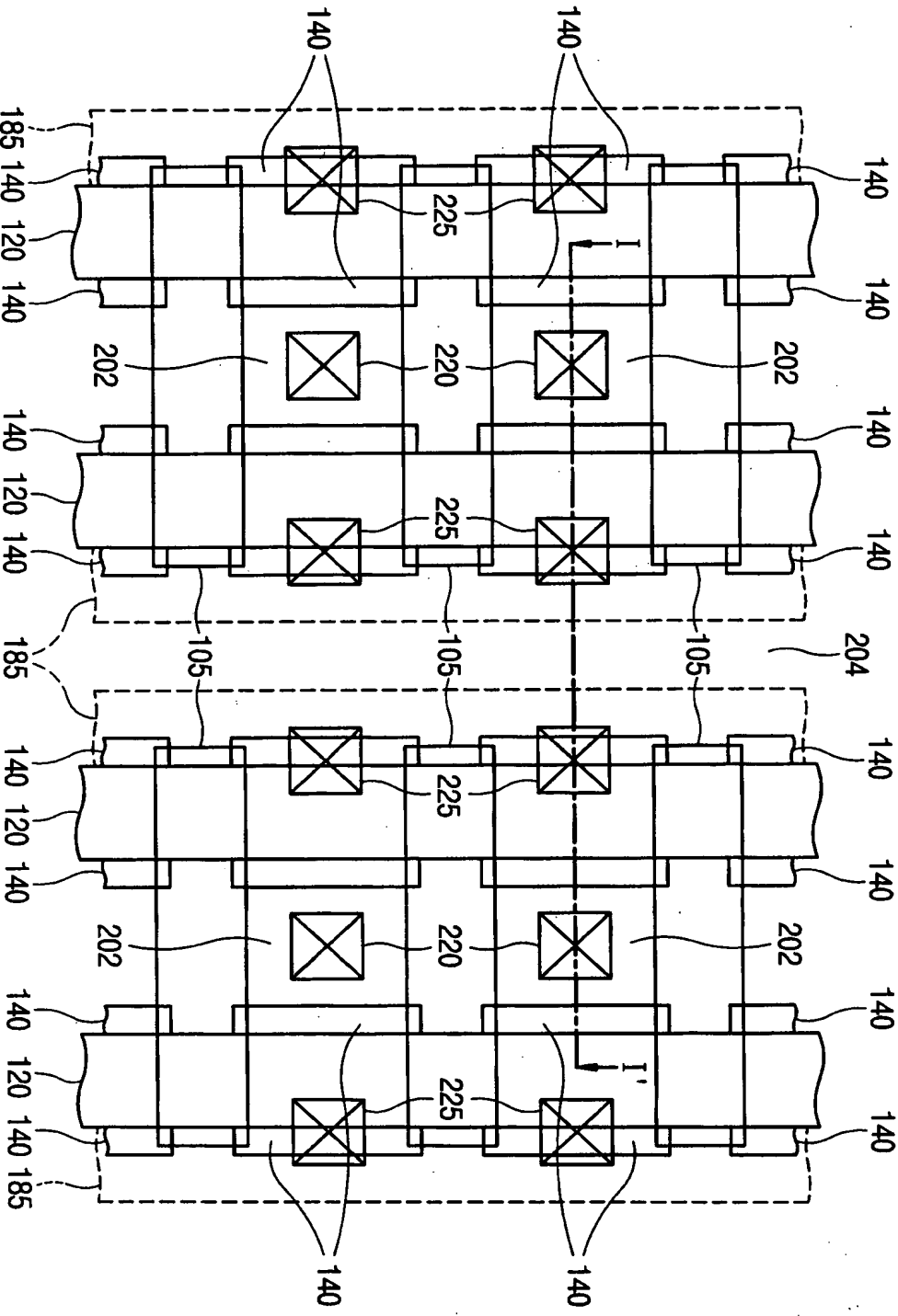
【도 1b】



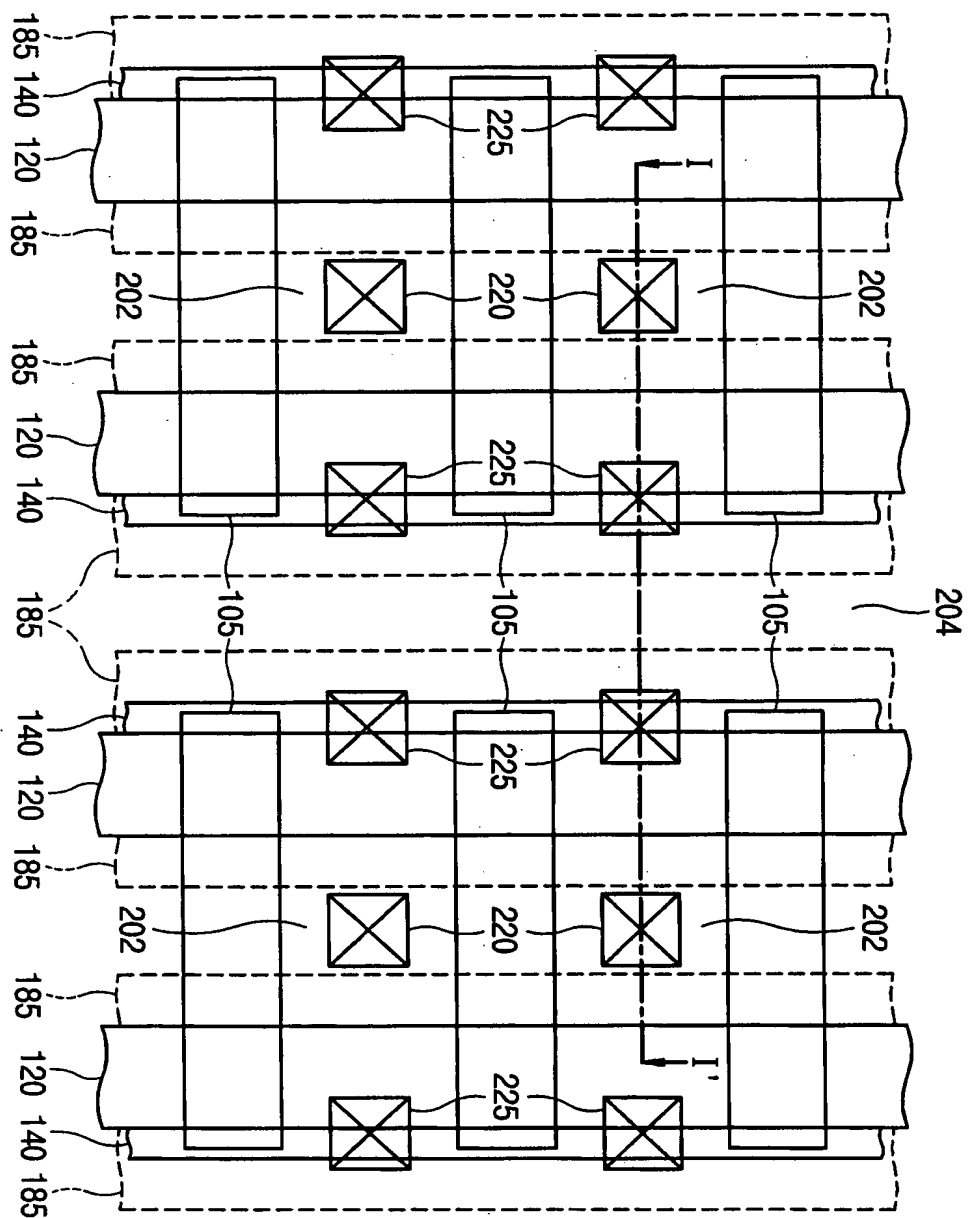
【도 1c】



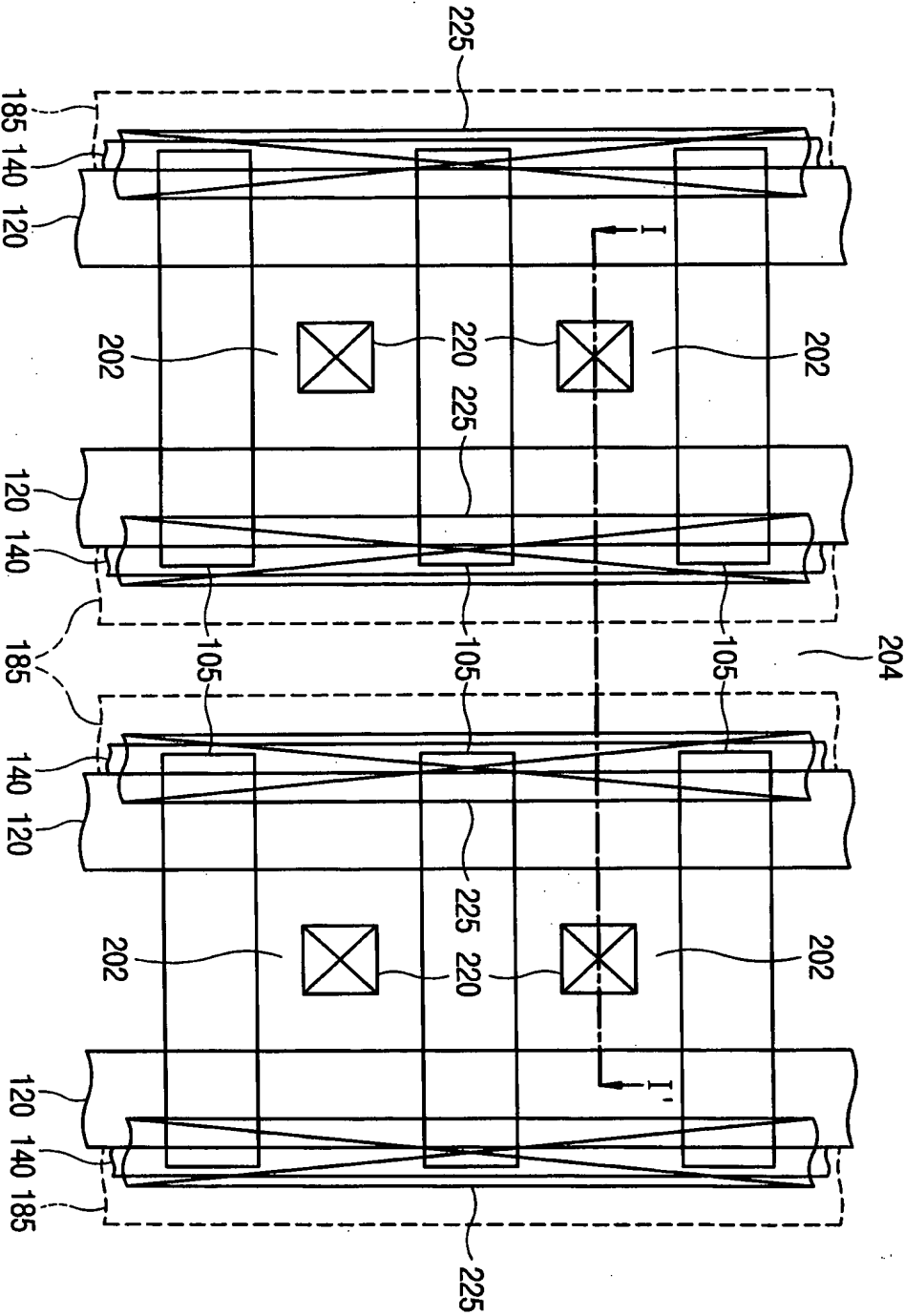
【도 1d】



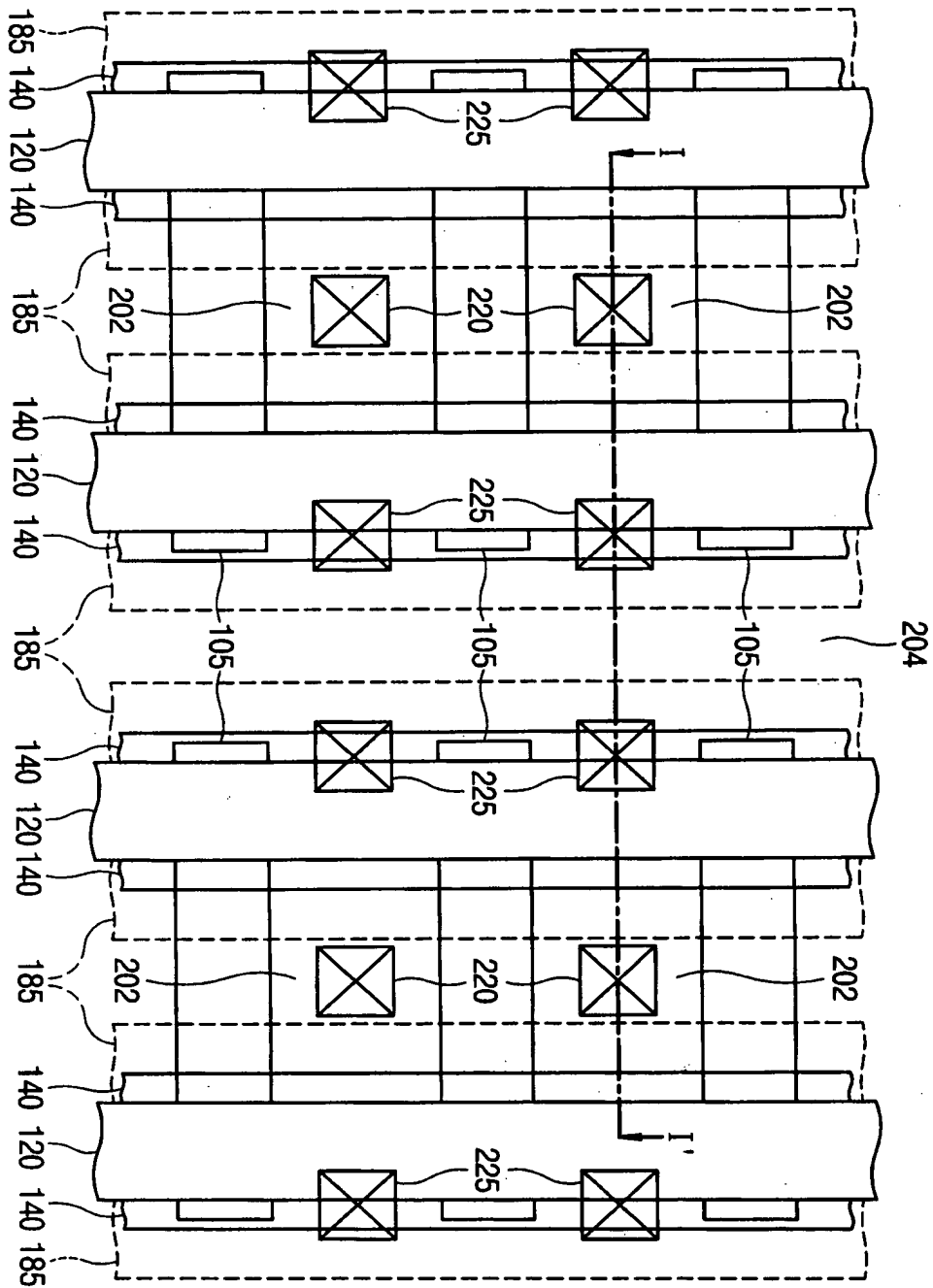
【도 1e】



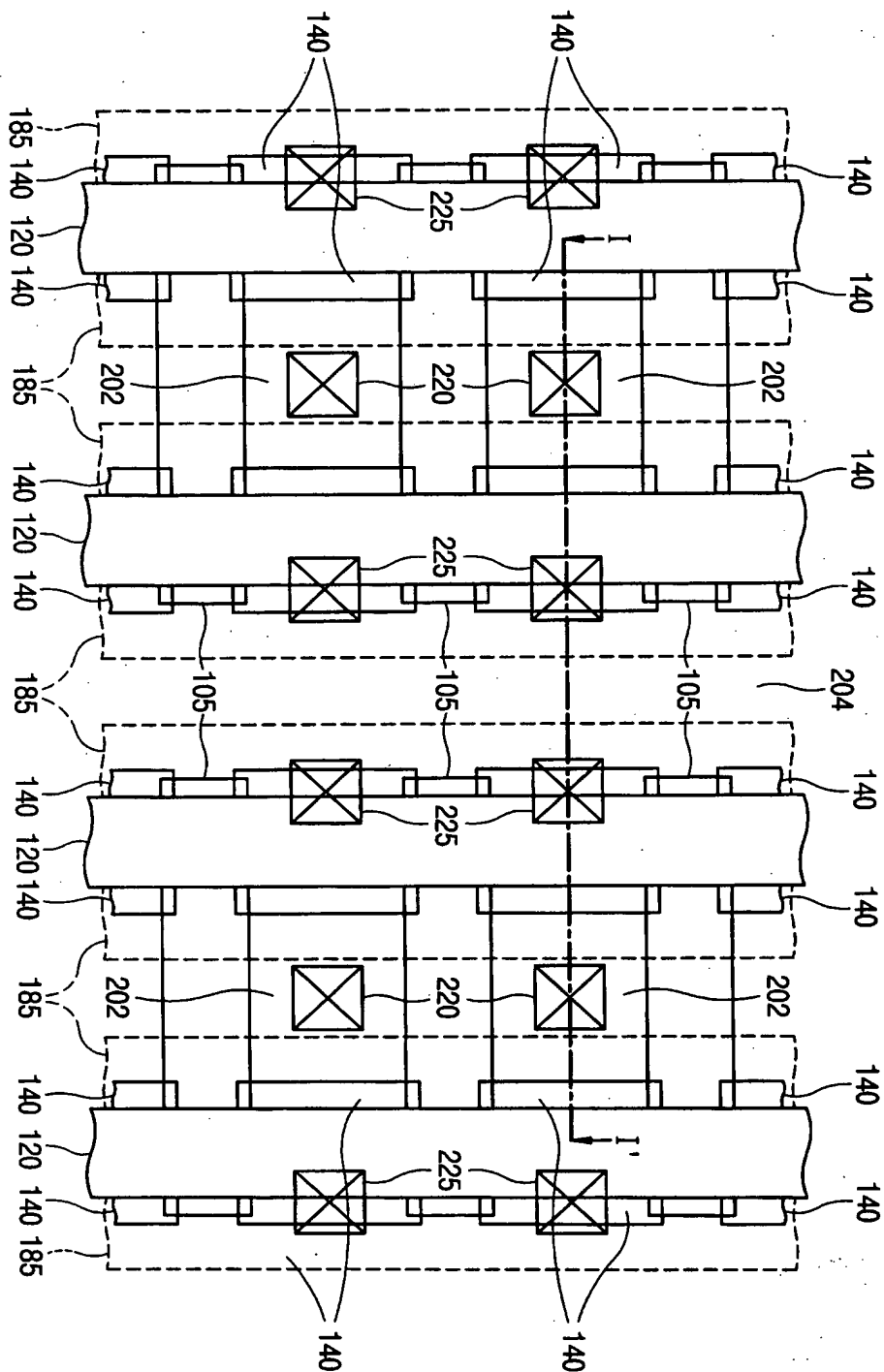
【도 1f】



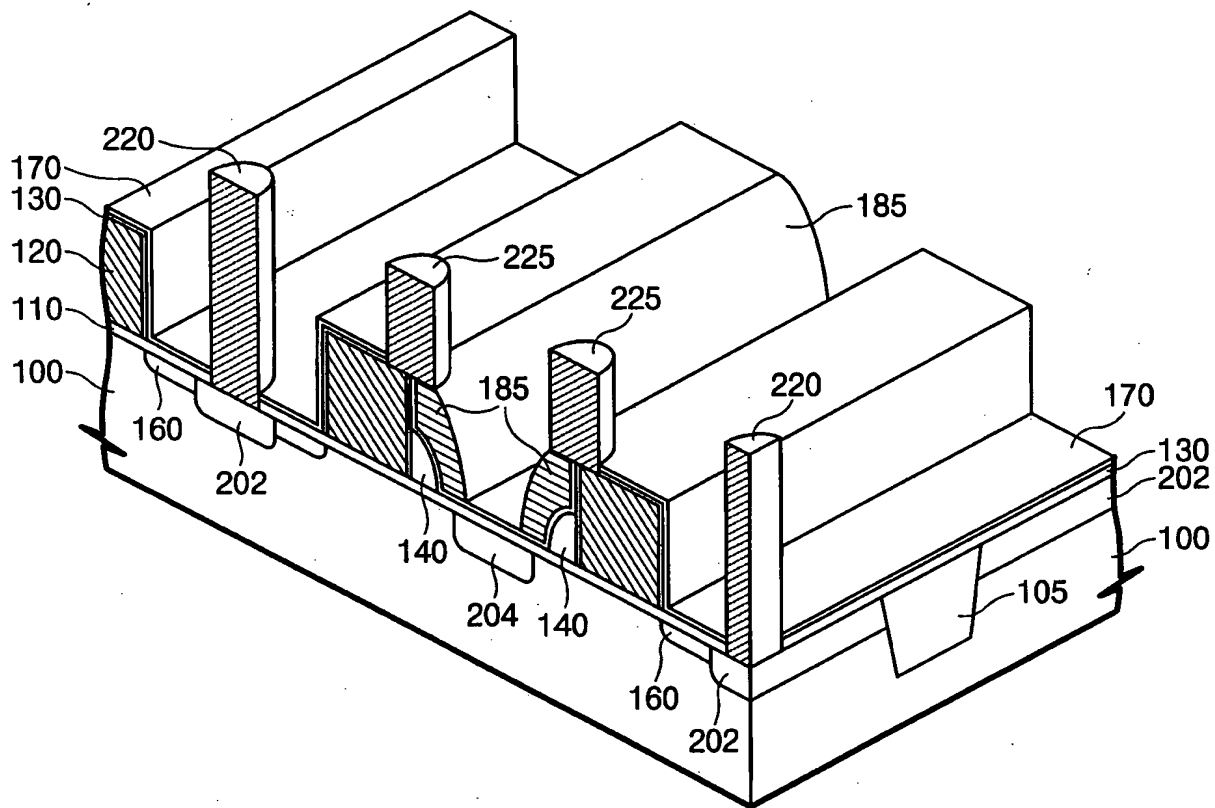
【도 1g】



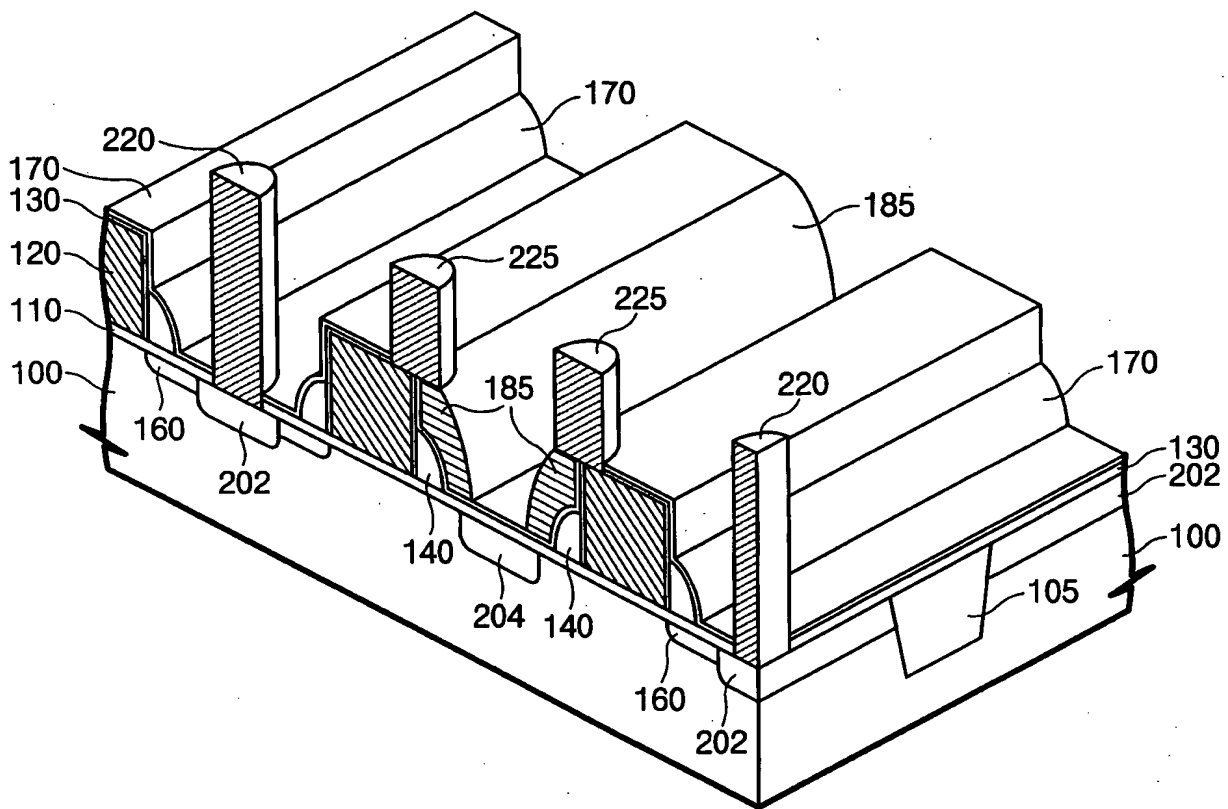
【도 1h】



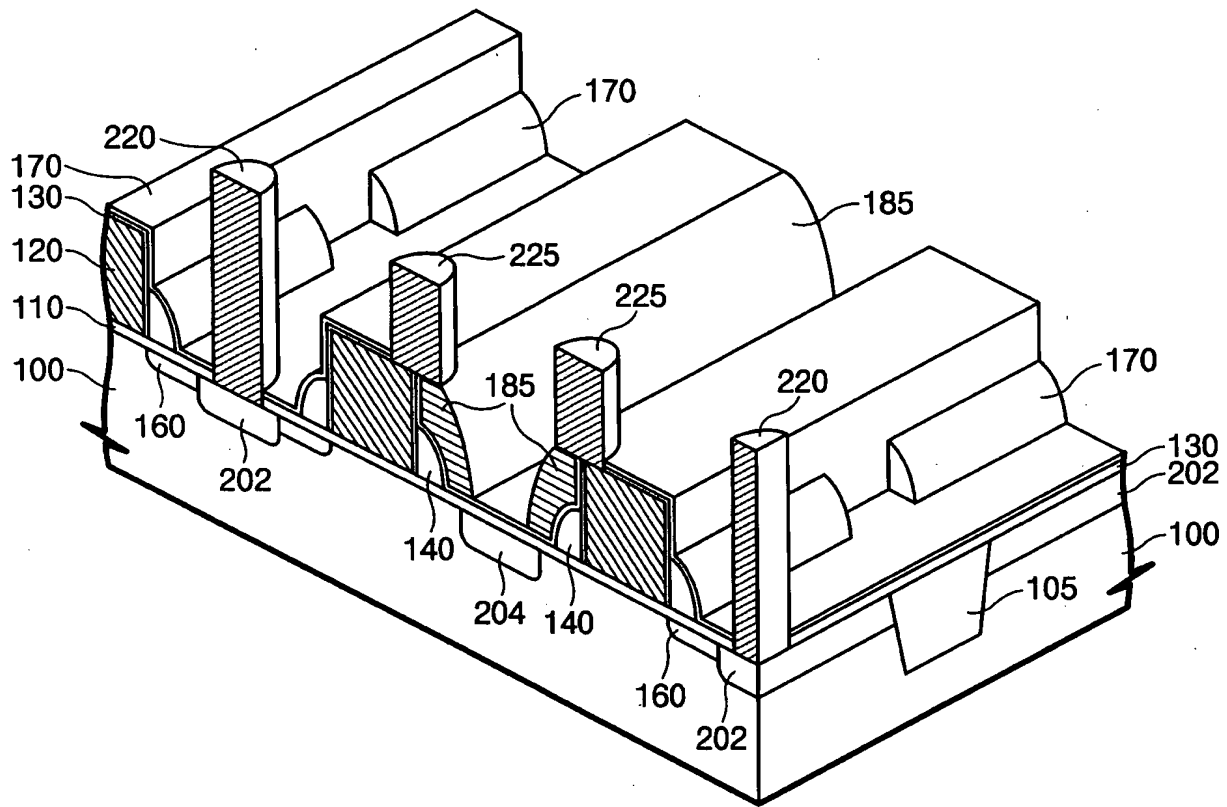
【도 2a】



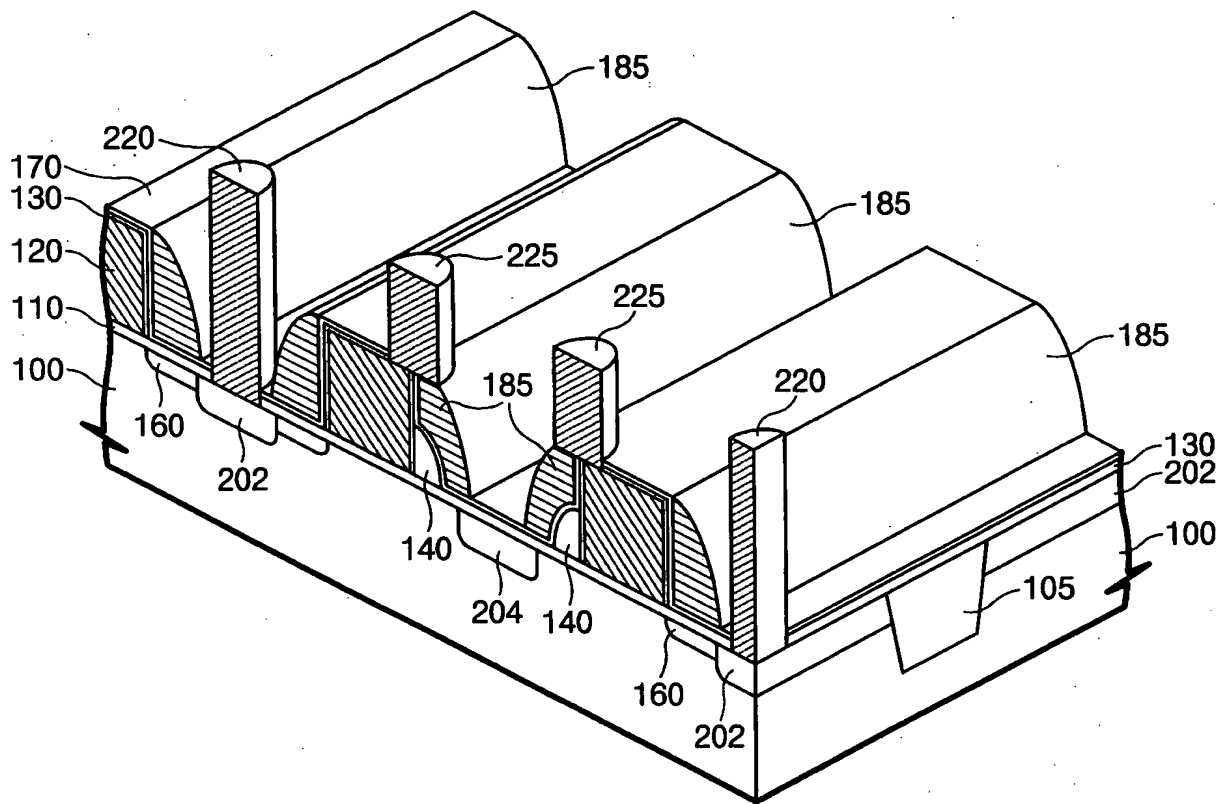
【도 2b】



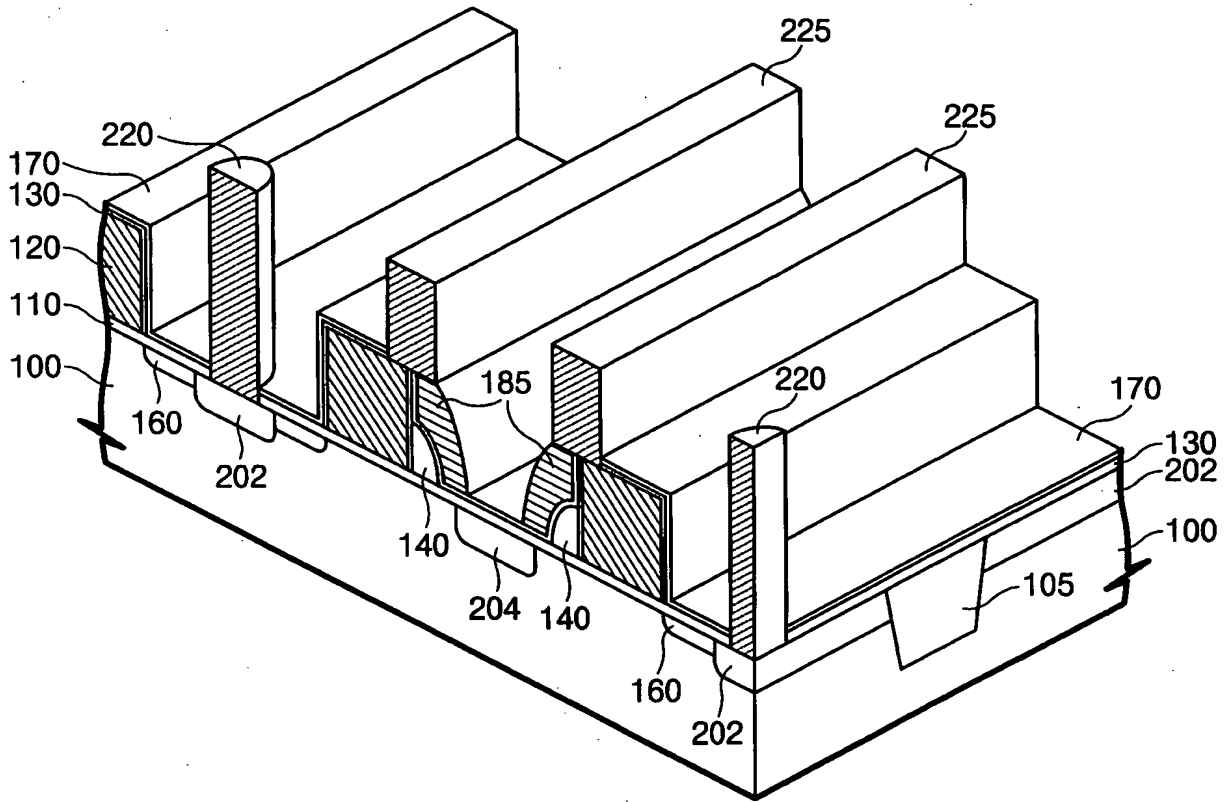
【도 2c】



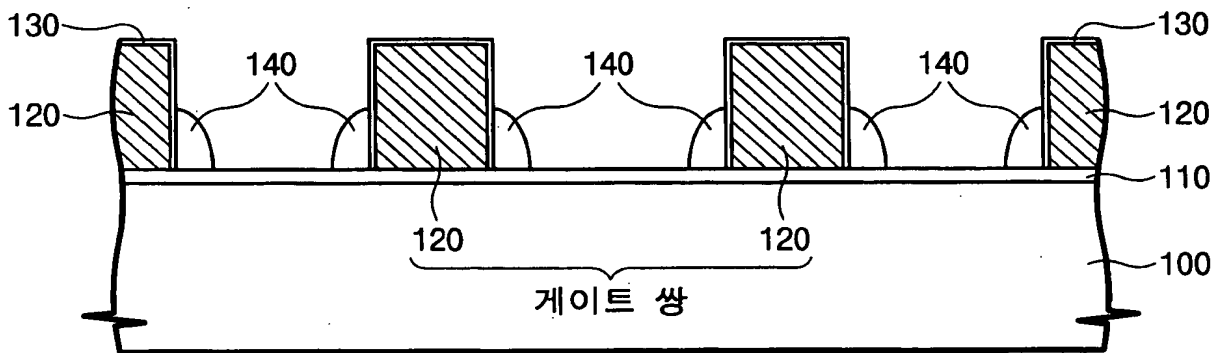
【도 2d】



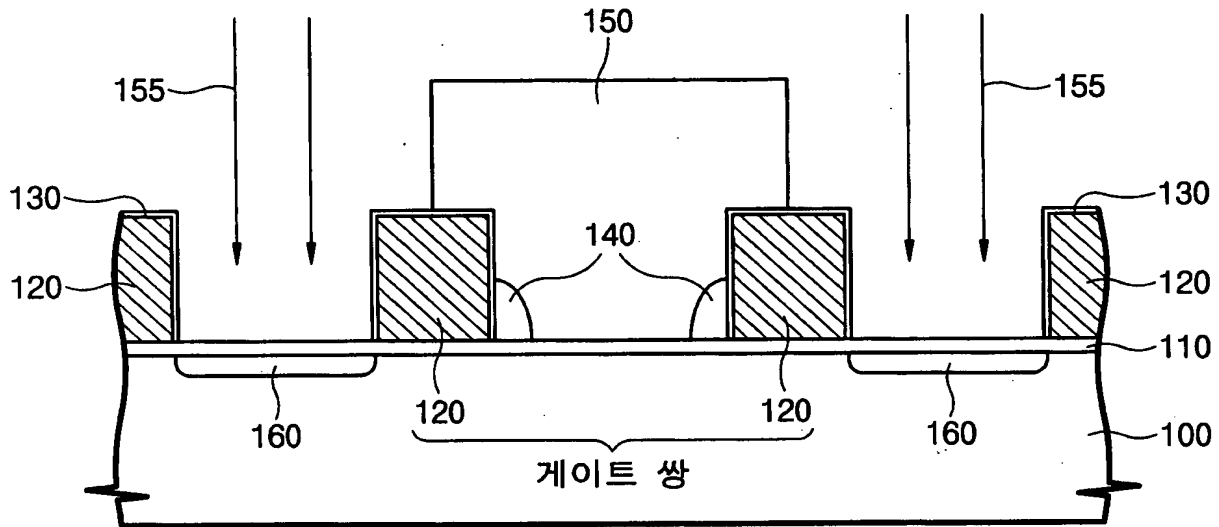
【도 2e】



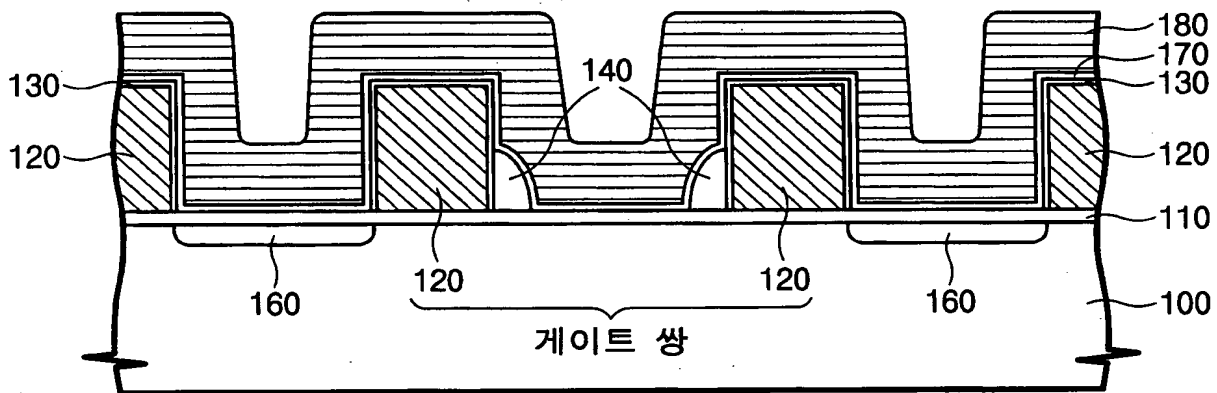
【도 3】



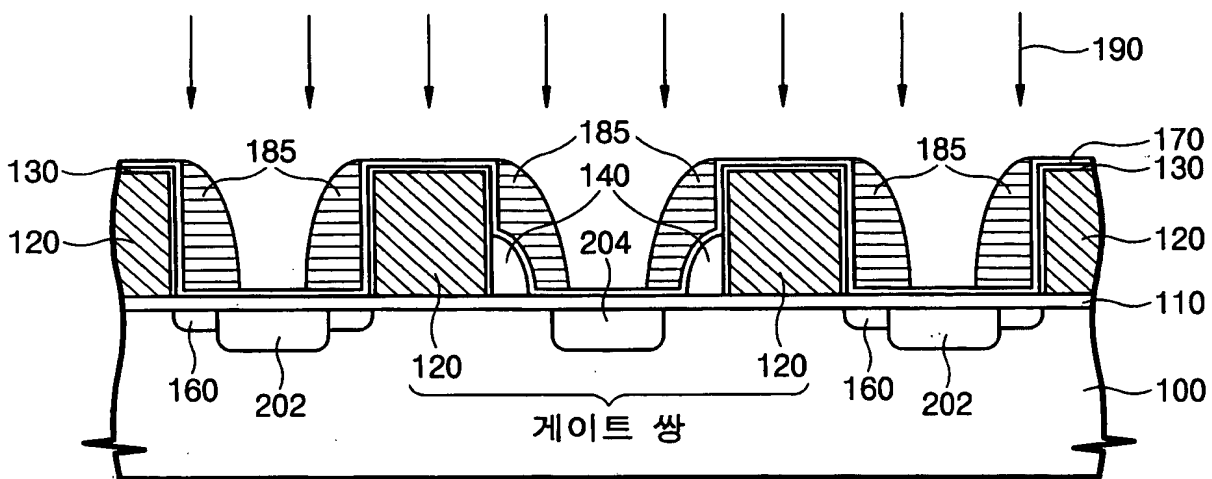
【도 4】



【도 5】



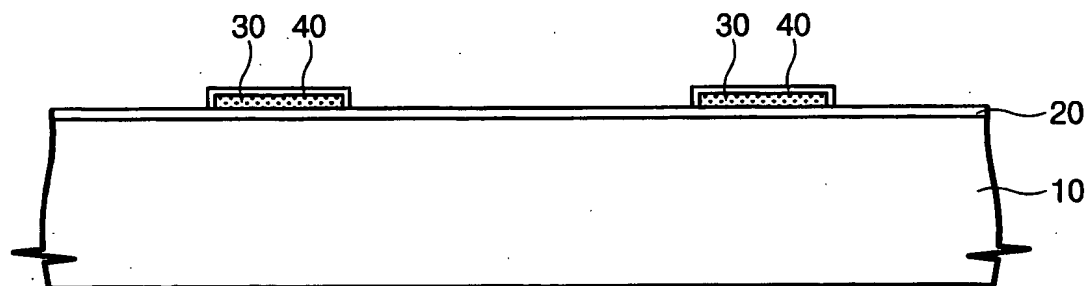
【도 6】



A cross-sectional view of a semiconductor device. The device features a central gate stack labeled "게이트 슯" (Gate Stack) which includes a gate dielectric layer (140) and a gate electrode (185). The gate stack is flanked by source/drain regions (120) and is surrounded by a protective layer (160). The entire structure is built on a substrate (110). The top surface is labeled 210, and the bottom surface is labeled 100. Other labels include 215, 170, 130, 202, and 204.

This cross-sectional view illustrates a semiconductor device structure. A central gate stack, labeled "게이트 쌍" (Gate pair), consists of a gate dielectric layer (120) and a gate electrode (140). The gate electrode is flanked by spacers (185) and a gate sidewall (217). The gate stack is surrounded by a gate spacer (204). The device is built on a substrate (110) and includes a gate contact (160) and a gate pad (202). The top surface is covered by a passivation layer (210) and a protective layer (215). The device is connected to a power source (100) via a gate contact (160) and a gate pad (202).

(종래 기술)



【도 10】

(종래 기술)

